

SSIS半導体アドバンスト講座
テキストサンプル
2016年11月

- ・半導体物性・各種デバイス、
CMOS前工程プロセス
講師 鈴木 俊治
- ・半導体パッケージング技術
講師 池永 和夫
- ・半導体のアプリケーションと
業界動向
講師 市山 壽雄
- ・特別講話 半導体は現代文明の
エンジン
講師 牧本 次生
- ・MEMS 製造技術とアプリケーション
講師 金尾 寛人

サンプル

半導体物性・各種デバイス、 CMOS前工程プロセス

半導体産業人協会 教育委員

サクセスインターナショナル(株)技術顧問

元 千葉大学講師、ソニー(株) 中研・厚木超 LSI 研 課長

(株)SEN 主席技師

工学博士 鈴木 俊治

サンプル

目次

I. 半導体と半導体デバイス

1. 半導体の性質
2. 半導体デバイス
3. MOSTランジスタの進化
4. Si基板と大口径化

II. CMOS作製プロセス

プレーナ技術とCMOS作製のプロセスフロー

III. MOS LSI作製要素プロセス

1. リソグラフィ
2. 不純物導入
3. エッチング
4. 成膜
5. 平坦化: CMP
6. ウェーハ清浄化

IV. 多層配線&組み合わせプロセス

1. 多層配線
2. 組み合わせプロセス

V. まとめ

MOS Trの進化 微細化=高集積化 & 高性能化

・微細化に伴い、短チャネル効果以外にも様々な課題が現れる。それらの解決のために次第に構造が複雑になった。

・高性能化

- ・高濃度ポリSi ゲート(→金属ゲート)、
高濃度エクステンション、
Niシリサイド、チャネルストレス

・低消費電力化

- ・高誘電率ゲート絶縁膜

・短チャネル効果抑制

- ・浅S/D & 超浅エクステンション、
パンチスルーストップ、
ハロー、レトログレードチャネル

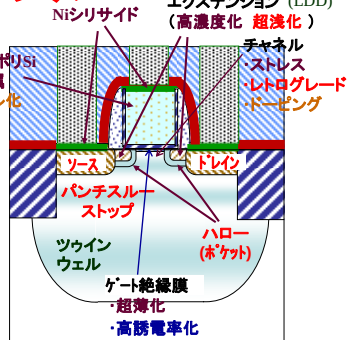
・高信頼化

- ・LDD (→エクステンション)、ツインウェル

・p, nTrの最適化

- ・チャネルドーピング、ツインウェル、
デュアルゲート

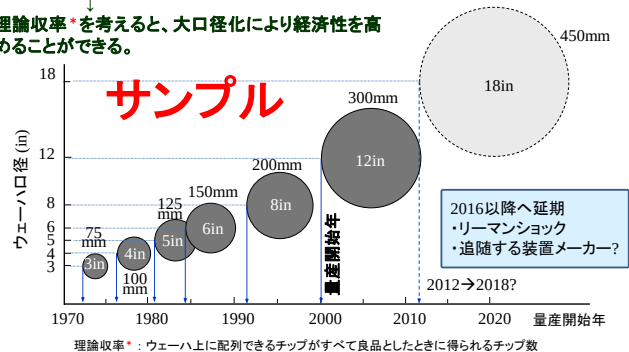
サンプル



Si基板の大口径化

- ・一般的に、LSIの高集積化にはチップサイズの増大を伴う
- ・一度に多量のチップを生産するには、大面積のウェーハを用いるほうが有利

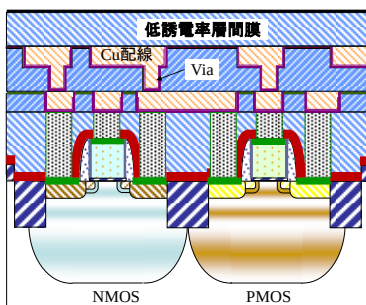
理論収率* を考えると、大口径化により経済性を高めることができる。



多層Cu配線形成

- ・Low-K膜に配線溝、および、上下配線の接続(Via)の穴を明け、バリア膜、シード層を堆積する。
- ・メッキ法でCuを埋め込み、余分なCuをCMPで除去して、Via、配線を一括で形成する(Dual Damascene*)。これらを繰り返して多層配線を形成する。

サンプル



Via**1

：上下の配線を接続するためのもので經由する意味でViaと呼ぶ。

デュアルダマシネ**2 (Dual Damascene) 法
：Viaと配線を一括して形成する方法。

リソグラフィ技術の変遷サンプル

- ・微細化、チップ面積の増大、ウェーハの大口径化に伴い露光方法も変化してきた。

光源	波長	露光方法	デザインルール(node)
水銀ランプ g-線	436nm	密着・等倍 縮小投影	ウェーハ全面露光
水銀ランプ i-線	365nm	縮小投影	ステッパ(Stepper)
KrFエキシマレーザ	248nm	↓	↓
ArFエキシマレーザ	193nm	縮小投影	スキャナ(Scanner)
↓	↓	縮小反射	↓
EUV*	13.5nm	縮小反射	スキャナ

大凡のDesign Rule

- ・等倍露光：マスクのデザインルールは実寸法。
- ・縮小投影：マスクのパターン寸法は実デザインルールの4倍(レティクル)。
- ・Stepper：数チップ分の描画毎にStep & Repeatを繰り返す。
- ・Scanner：Maskと基板をScanしながら露光する。(レンズの収差軽減、露光面積拡大、高NA化)
- ・縮小反射：レンズの代わりにミラーを使う。(超大口径レンズの必要回避、レンズ吸収の回避)

EUV：Extreme Ultra Violet (極紫外光)

サンプル

半導体パッケージング技術

半導体産業人協会 会員

サクセスインターナショナル(株)技術顧問

元 ソニー半導体パッケージ部長

ハイブリッドIC事業部長

半導体関連会社 社長

池永 和夫

一般社団法人
半導体産業人協会

目次

パッケージの変遷

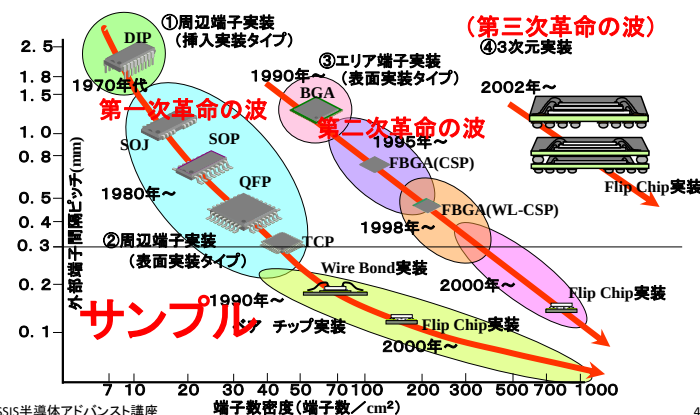
2. パッケージ技術の動向と課題

- 2-1. ウェーハレベルパッケージング
- 2-2. Fan-Out ウェーハレベルパッケージ
- 2-3. System in Package
- 2-4. チップの薄型化技術
- 2-5. TSV (Through Silicon Via)
- 2-6. LSI内蔵基板
- 2-7. パッケージの電気特性 (Appendix)
- 2-8. フリップチップボンディング

3. MEMSパッケージの課題

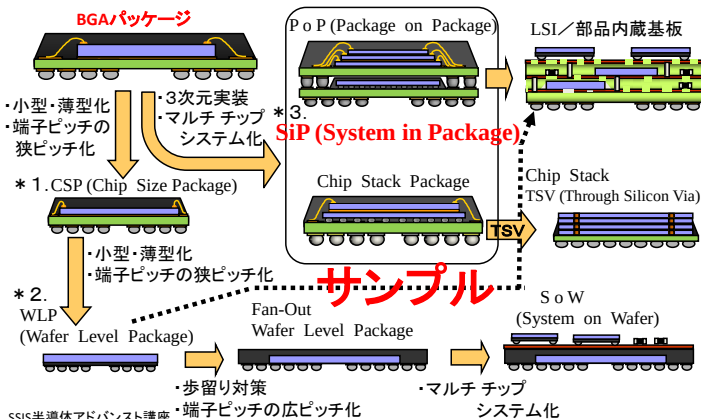
パッケージと高密度実装技術の変遷

高密度実装とパッケージは深い相関があり、この二つの技術とICの高集積化により電子機器の小型化、高性能化が進展してきた。特に端子ピッチの縮小は高密度実装を促進したが、高度なパッケージ技術と実装技術、基板技術が求められる。



BGAパッケージから各種パッケージへ進展

エリア配列端子タイプであるBGAパッケージの出現は、さらなる小型化のCSP(*1), WLP(*2)へ進展し、また、マルチチップ構成のSiP(*3)が出現させた。そして、さらに新しいパッケージの開発や三次元実装の開発・実用化へと進展している。



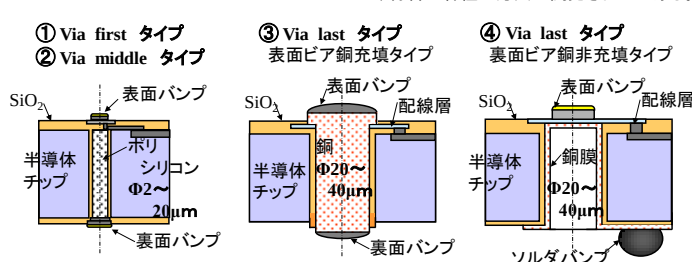
パッケージ端子配置構造と占有面積

端子の配置構造により実装占有面積が縮小するが、プリント基板へ実装した後のはんだ接続部にかかるストレスについても考慮する必要がある。

	パッケージ	端子配置構造
ファインピッチ QFP *1(WB)	周辺配列端子	・ガルウイングリード (Gull-Wing Lead:かまめの翼) リード端子の屈折が実装後の ストレス緩衝の役割をする。
BGA *1(WB)	エリア配列端子	・Fan-outタイプ 全ての外部端子がチップ面 積の外側に配置されている。
ファインピッチ BGA *1(WB)	エリア配列端子	・Fan-in/outタイプ 一部の外部端子がチップ面 積内に入り残りがチップの外 へ張り出す。
ウェーハレベル CSP *2(FCB)	エリア配列端子	・Fan-inタイプ 全ての外部端子がチップ面 積内に納まる。

3次元実装の本命TSV技術

最近では超高密度実装、高速信号伝送を実現させる方法として、半導体チップ間の伝導路を最短経路とするために、半導体チップ同志、半導体チップとウェーハ、ウェーハ同志を三次元積層することが行われる。そのために、半導体チップ内またはシリコンインターポーザの上面と下面を導通させる微小な導通貫通穴であるTSV (Through Silicon Via)を形成することが試みられている。このTSVの製法、接続のプロセス、材料は各種の方法が開発されつつある。





半導体のアプリケーションと 業界動向(世界と中国)

一般社団法人 半導体産業人協会 理事
元ルネサステクノロジ市場企画部長
元WSTS日本協議会会長 & 世界副会長
WSTS: WORLD SEMICONDUCTOR TRADE STATISTICS

世界半導体市場統計

市山 壽雄

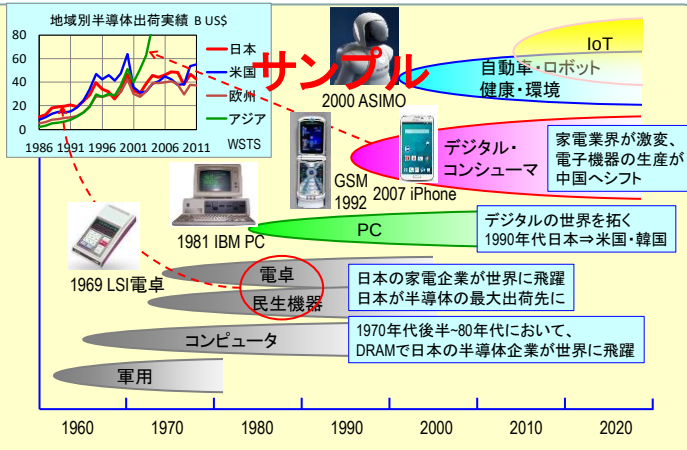
目次

- 半導体のアプリケーション
 - アプリケーションの推移
 - スマートフォン
 - 自動車
 - ロボット
 - IoT時代の新市場
 - ICの市場規模
- 半導体の業界動向
 - 世界の業界動向
 - 中国の業界動向

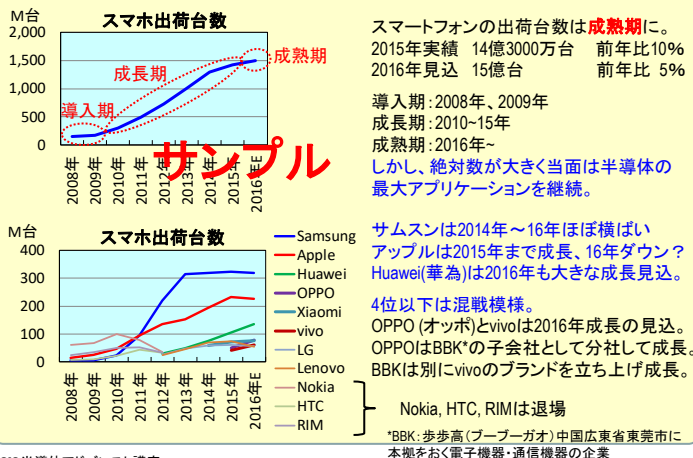
サンプル

アプリケーションの推移

サンプル



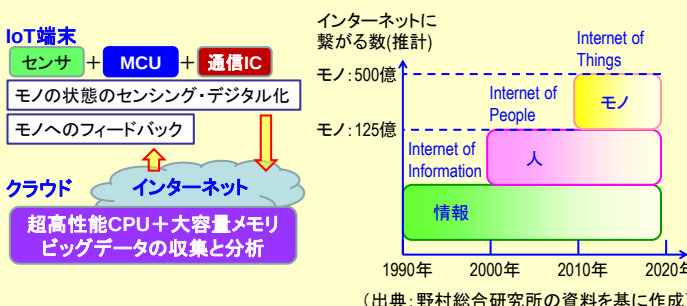
スマートフォン



IoT時代の新市場

IoT (Internet of Things) とは
色々なモノがインターネット*に繋がるだけでなく、
情報交換することにより相互に制御する仕組み。
*インターネットとは複数のコンピュータネットワークを相互接続したネットワーク。
「2020年には500億個のモノがインターネットに繋がる」と予測される。(野村)

サンプル



世界の半導体業界動向

2015年の主要な業界再編 規模の拡大・寡占化、中国資本の進出				
買収企業	被買収企業	金額	備考	
ソニー	東芝・イメージセンサ事業	190億円	大分300mmラインを買収	
ON Semiconductor	Fairchild	約2,900億円	ハワースで世界2位に1位はインフィニオン	
Western Digital	SanDisk	約2.3兆円	中国Tsinghua UniGroup(清華紫光集団)系が筆頭株主	
Qualcomm	CSR	約3,000億円	Bluetooth Smart関連やオーディオ処理の技術	
インテル	アルテラ	約2.0兆円	FPGA大手	
アナバゴ 新社名は「Broadcom」	ブロードコム	約4.6兆円	Wi-Fi/Bluetooth、イーサネットスイッチ等	
ローム	ルネサス・滋賀8インチライン		パワーやMEMSのライン用	
ソシオネクスト	富士通とパナソニックLSI事業統合		富士通と日本政策投資が40%、パナソニックが20%出資	
NXP	フリースケール	約1.4兆円	NXPのRF事業は中国JAC Capitalに売却、Ampleon設立	
Hua Capital (中国) 華創投資	OmniVision CMOSイメージセンサの会社	約2,300億円	Tsinghua Holdings and China Fortune-Tech Capital	
Uphill Investment (中国) Cypress Semiconductor	ISSI (Integrated Silicon Solution) Spansionと経営統合	約900億円	DRAMファブリス企業の買収	
Infineon	International Rectifier (IR)	約3,600億円	車載や産業機器市場へ注力 次世代ハワースはInfineon: SiC, IR: GaN	

サンプル

特別講話 半導体は現代文明のエンジン

半導体産業人協会 特別顧問
元日立専務・ソニー専務
工学博士・IEEEフェロー 牧本 次生

半導体産業人協会

サンプル 目次

- 現代文明の萌芽
- 半導体産業の動向
- ポスト・スマホ時代の展望

1 SSIS半導体アドバンス講座

2

多岐に渡る半導体関連産業

電子産業 (1兆6420億\$ 197兆円)

半導体デバイス (3056億\$ 37兆円)

全部合わせて約2兆\$ GDP比2.7%

設計関連

- ・IC設計
- ・システム設計
- ・検証ツール
- ・ソフト開発

製造装置

- ・ウェーハプロセス
- ・組立
- ・検査
- ・マスク製造
- ・関連装置

材料部品

- ・シリコンウェーハ
- ・パッケージ
- ・マスク
- ・薬品類
- ・各種ガス

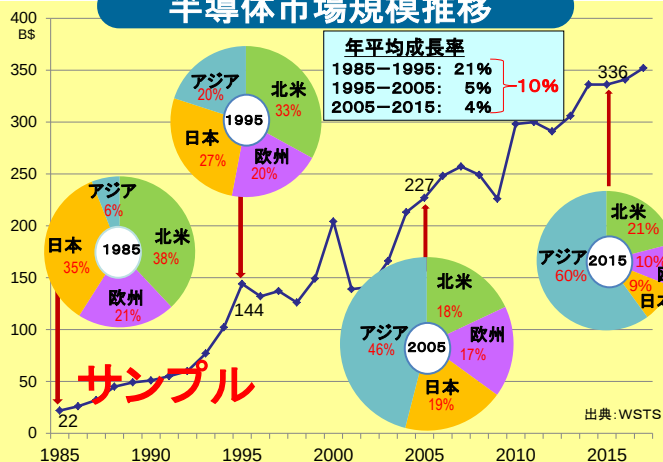
サンプル

出典: JEITA, WSTS, SEMI (数値は2013年の実績)

SSIS半導体アドバンス講座

10

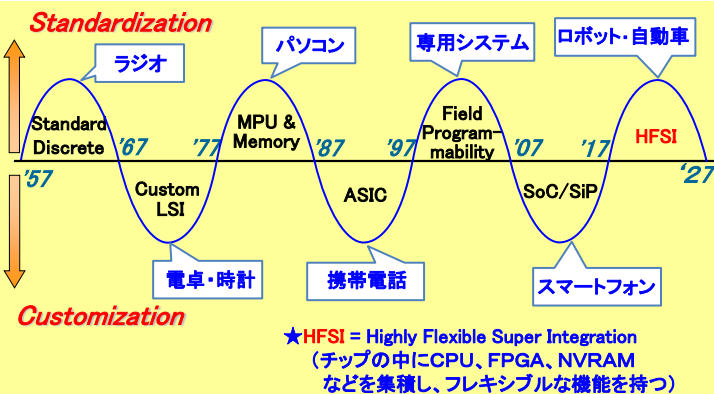
半導体市場規模推移



SSIS半導体アドバンス講座

11

牧本ウェーブから見た未来予測



出典: T. Makimoto, IEEE Computer, Dec., 2013

SSIS半導体アドバンス講座

14

まとめ サンプル

- ★現代文明の萌芽は1940年代のコンピュータとトランジスタの発明「トランジスタは20世紀最大のクリスマスプレゼント」
- ★半導体の進化がコンピュータの民主化(パーソナル化)を促進
コンピュータは国や企業など大組織の持物から個人の持物へ
- ★半導体技術革新で高度化したコンピュータ・通信技術が結合してIT(情報技術)時代が到来、ITはあらゆる産業の基盤
今後AI(人工知能)の発展とIoT(Internet of Things)の広がりで新しい世界が開ける・・・ロボット、自動運転車、医療・健康・環境など
- ★人工知能が人間の能力を超える時が来る(Singularity, 2045年問題)

半導体は現代文明のエンジン 半導体を失って日本の将来はない
一国の盛衰は半導体にあり!

SSIS半導体アドバンス講座

21

サンプル

MEMS ～ 製造技術とアプリケーション ～

SPPテクノロジーズ株式会社
マーケティング部
マーケティングコミュニケーショングループ長
金尾 寛人
2016年11月11日

一般社団法人
半導体産学協会

1 SSIS半導体アドバンス講座

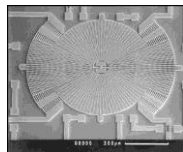
2

サンプル 目次

1. “MEMS”とは ～MEMSの歴史～
2. MEMS特有の製造技術
3. 各種MEMSデバイス
(参考)最近のアプリケーション例
4. まとめ

“MEMS”とは？

- MEMS: Micro Electro Mechanical Systems (微小電気機械システム)
 - 半導体生産にて開発・確立された微細加工技術を駆使・発展使用することにより、集積回路 (LSI) ではなく、可動部がある3次元機械構造物として製作されるデバイス
 - 特徴: 「可動」・「駆動」・「検知」
- MEMSプロセス
 - 集積回路 (LSI) が必要としなかった微細加工プロセスの開発・確立
- MEMS応用例
 - 自動車エアバッグ用加速度センサ、姿勢制御用ジャイロ
 - インクジェットプリンターノズル
 - ゲーム機 (Wii) 用加速度センサ
 - スマートフォン用加速度センサ
 - 光通信スイッチ等部品
 - 携帯電話用素子



SSIS半導体アドバンス講座

4 SSIS半導体アドバンス講座

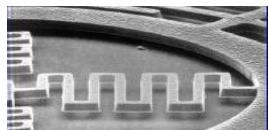
5

MEMS固有のプロセス技術

- MEMSの発展は、従来の半導体製造技術にはない MEMS特有の技術の開発によって後押しされて来た
 - シリコン深掘り (構造の作成)
 - 技術= Deep RIE (RIE: Reactive Ion Etching)
 - ICP + Bosch Process = 高アスペクト比・高選択比
 - 犠牲層エッチング (構造の可動化)
 - 技術= 等方性ガスエッチング
 - 厚膜・低ストレス膜成膜 (構造の保護、可動膜の形成)
 - 技術= PE-CVD
 - 圧電薄膜成膜 (振動や変位の発生)
 - 技術= スパッタ、ゾルゲル
 - ウェーハボンディング (パッケージ)
 - 技術= ウェーハボンダー
 - 両面露光 (パターン形状の作成)
 - 技術= 両面コンタクトアライナー

サンプル

MEMSプロセスフロー



1. レジスト塗布と露光・現像
2. Si深掘り
3. レジスト剥離
4. 酸化膜犠牲層エッチング (リリース)

サンプル

SOI Wafer

SSIS半導体アドバンス講座

18 SSIS半導体アドバンス講座

27

圧力センサ

サンプル

- 自動車へのMEMS応用として最初に採用
- 排気ガスの規制値を満足する必要 → エンジンの燃焼を最適な条件に
→ ガソリンと空気の混合比を精密に制御

