

SSIS・半導体入門講座

テキストサンプル

- ・半導体の歴史と展望

講師 牧本 次生

- ・主要デバイス概論

講師 北村 嘉成

- ・CMOSプロセス

講師 鈴木 俊治

- ・半導体パッケージング技術

講師 池永 和夫

半導体産業の歴史と展望

半導体産業人協会 特別顧問
元 日立専務・シニア専務
工学博士・IEEEフェロー
牧本 次生



Dr. T. Maimoto

目次

- 半導体と電子機器の発展史
- 半導体産業の動向
- 将来展望

Dr. T. Maimoto

半導体と電子機器の発展史

IC発明の経緯

★ ジャック・キルビー(1923生)：モノリシックICの発明

1958年7月24日、TIに入社して間もないジャックは夏休みがたれず、たゞ一人実験室に籠もり、モノリシックIC(注)を着想(注)一つの基板上にトランジスタ、抵抗、コンデンサを集約し

★ ロバート・ノイス(1927生)：プレーナICの発明

キルビーの発明からほぼ半年後の1959年1月23日、プレーナ技術(注)をベースにしたICの実用化を考案。今日のICの基礎(注)平坦な面上での配線が可能に構造

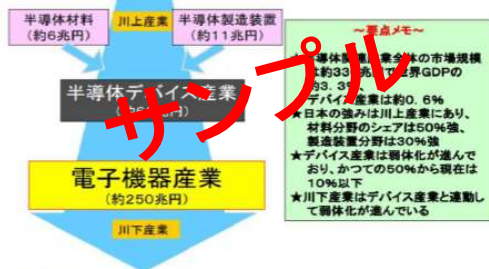
「ICを発明したのはキルビーかノイスか」でその後10年間の法廷論争最終的には発明を両者共有する形で決着

<キルビー発明のIC>

Dr. T. Maimoto

半導体産業の動向

半導体関連産業の市場規模



Dr. T. Maimoto

半導体産業の動向

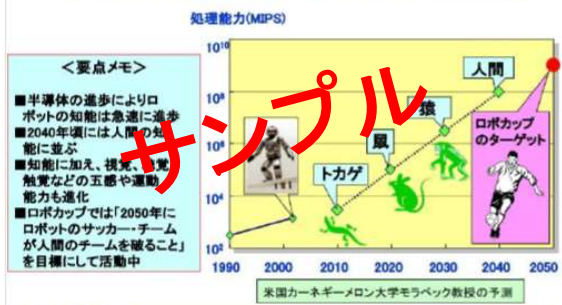
日本半導体の盛衰



Dr. T. Maimoto

将来展望

ロボットの進化とロボカップ



Dr. T. Maimoto

主要デバイス概論

半導体産業人協会 教育委員
半導体技術コンサルタント
元NEC(株)超L-SCALE開発本部 開発部長
北村嘉成



目次

主要デバイス概論

1. 半導体デバイスの分類
 - 1.1 ロジックIC/マイクロ、メモリIC、個別半導体
2. メモリ
 - 2.1 半導体メモリ
 - 2.2 次世代メモリ
3. パワーデバイス
 - 3.1 パワーデバイスの用途
 - 3.2 スイッチングによる電力制御
 - 3.3 パワーデバイスの特徴
 - 3.4 新材料: "Wide Band Gap" 半導体

1.半導体デバイスの分類

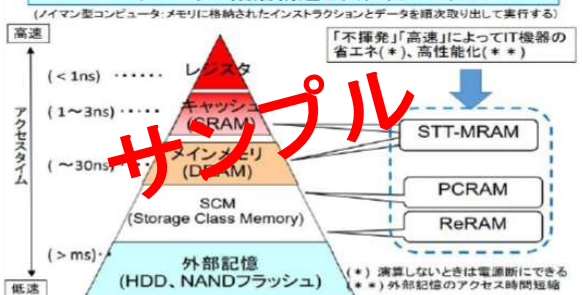
半導体による技術革新

世代	メカニカル (19世紀)	真空技術 (20世紀前半)	半導体 (20世紀後半)
分野			
計算/演算	算盤 手回し計算機	真空管	MOSロジック(*) MCUマイクロ(**)
記録	紙とペン 印刷	(磁気テープ) (磁気ディスク)	フラッシュメモリ
光/画像	写真	光電管	光センサ イメージセンサ
発光/照明	蠟燭(ろうそく) 石油ランプ	白熱電球 蛍光灯	LED
電力変換		整流管 (トランス)	パワーデバイス (整流器/スイッチング素子)

(*)主に論理演算を行うIC、プロセッサ機能も持つものも多い
(**)プロセッサ機能(CPU)を主とするIC

2.2 次世代メモリ

コンピュータメモリの階層構造と次世代メモリのニーズ



3.1 パワーデバイスの用途

発電・送電・消費の流れ



Source: 内閣府 SIP 次世代パワーエレクトロニクス研究開発計画

3.4 WBG半導体

パワーデバイスの性能向上

- > 低損失(低ON抵抗)
 - > 高速動作(高周波動作)
 - > 高耐圧
 - > 高温使用(耐熱性)
- Siデバイスでの改良
- > デバイス構造: BJT → MOS(高速動作) → IGBT(低ON抵抗)
 - > しかし、耐圧や耐熱性は改善できず
- 新材料の導入
- > Siよりバンドギャップの大きい半導体(*)
 - > SiC(シリコンカーバイド)
 - > GaN(窒化ガリウム)
- (*) SiCやGaNなどをまとめてWBG(Wide Band Gap)半導体と呼ぶ
Band Gapの説明はAppendix-2参照

CMOSプロセス

(概要とプロセスフロー 及び
個別プロセス技術の基礎)

半導体産業人協会 教育委員
サクセスインターナショナル(株) 技術顧問
元 千葉大学 講師
ソニー(株) 中研・厚木超 LSI 研 課長
輔SEN 主席技師
工学博士 鈴木 俊治



CMOSプロセス

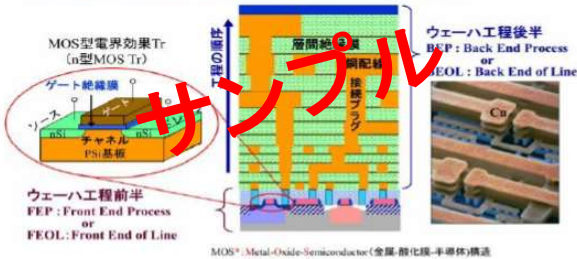
(概要とプロセスフロー 及び
個別プロセス技術の基礎)

目次

- I. 半導体加工プロセス概要
- II. ウェーハ工程の環境
- III. ウェーハ工程のプロセスフロー
- IV. 個別プロセスの基礎
- V. 多層配線技術
- VI. まとめ

MOS* LSIの構造とウェーハ工程

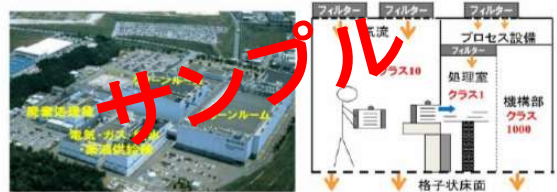
- ・大規模ICはほとんどMOS Trで構成されている。
- ・Tr形成から多層配線形成までの前工程は二つに分けて扱われることも多い。
- ・Tr作製工程をFEP or FEOL、多層配線工程をBEP or BEOLと呼ぶ。



II. ウェーハ工程の環境

クリーンルーム

- ・微細なパターンで成り立つ半導体デバイスにとって、塵、金属、化学の汚染は大敵である。
- ・半導体デバイス製造には清浄な環境のクリーンルーム (Clean Room : CR) が必須となる。



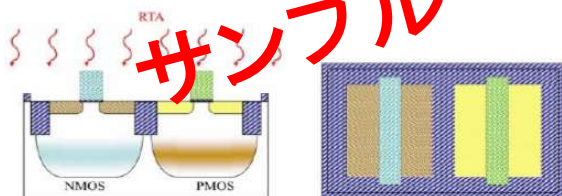
半導体製造工場はクリーンルームを中心に電気・ガス・水・薬品の供給線、排ガス・廃液・排水処理の廃棄処理線で構成される。

クラス#: 塵の少なさを表す指標。小さな値ほど塵が少ない

熱処理

- ・イオン注入によって破壊された結晶(ウェル、ソースドレイン)の回復と注入不純物の電気的活性化のために熱処理(高温短時間アニール:RTA)を行う。

RTA (Rapid Thermal Anneal) : 紫外線ハロゲンランプを用いて1000°C~1200°Cの温度で、0秒~数秒の短時間熱処理を行う。



平坦化: CMP装置

- ・砥粒と薬液(スラリー)を供給しながら、研磨パッドにウェーハを押し付けて研磨する。
- ・全面を均一に研磨するためにプラチナの回転とステージの揺動が加えられる。
- ・CMPではスラリー砥粒(Particle)が残留しやすく、洗浄による除去が重要である。
- ・研磨パッドはすり減ってしまうため、溝の再加工(Dressing)が必要となる。



研磨パッド上で砥粒と薬液により、電気化学的、機械的に研磨される (Chemical Mechanical Polish : CMP)

半導体パッケージング技術

半導体産業人協会 会員
 サクセス インターナショナル(株) 技術顧問
 元 ソニー(株) 半導体パッケージ部長
 ハイブリッド 事業部長
 半導体関連会社 社長
 氏名 池永 和夫

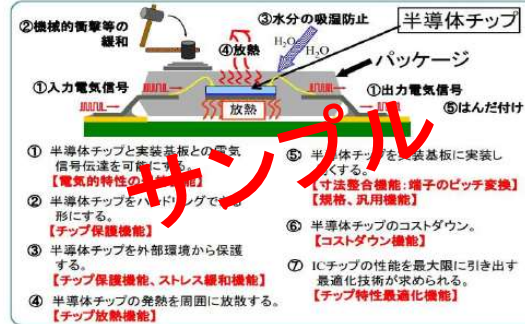


半導体パッケージング技術

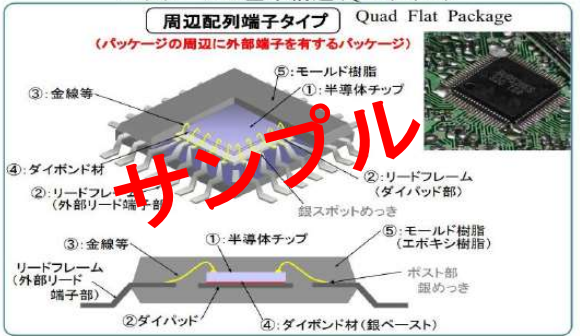
目次

1. パッケージに求められる機能
2. パッケージの構造
3. パッケージの変遷と種類
4. LSI後工程プロセス(パッケージ組立工程)
5. パッケージ技術の動向
6. Appendix

パッケージに求められる基本機能



パッケージの基本構造 (QFPタイプ)



ダイレベル組立プロセス(例: QFPタイプ)



パッケージの機能の進展

