

IoT・AI・ビッグデータの時代に突入し、マイクロプロセッサおよびメモリのさらなる高機能化・高集積化・高性能化(高速・低消費電力)の要求が加速している。これらの要求に応えるためには、主にプロセッサアーキテクチャとデバイス回路に関する新たな技術が必要となるが、本号ではデバイス回路技術に関するブレークスルーを取り上げる。特に次世代不揮発性メモリ技術と次世代論理素子技術を論ずることとする。

#### 次世代不揮発性メモリにおけるブレークスルー

現在主流であるSRAM、DRAM、及び3D-NANDフラッシュメモリでは電荷の有無、つまり電圧で情報を表現している。ところがこれ以上微細化・高密度化が進展すると、必要となる電荷量保持の問題や隣接ビットに存在する電荷の相互干渉の問題など、動作限界が現れる。そこで全く発想を変え、抵抗の高低、つまり電流で情報を表現する新しい方式が提案されている。

その代表がMRAM(Magneto-Resistive RAM)、PRAM (Phase-change RAM)、ReRAM(Resistance RAM)である。以下順に動作原理と開発状況、そして将来の見通しを概観する。

#### (1)MRAM

HDD(Hard Disk Drive)のように、磁石を使って情報を表現する方式を半導体レベルで実現できないか、という発想が出发点であるが、「磁石から出る磁界を直接観測するのではなく、磁石の情報を抵抗値の変化に置き換える」という発想に切り替えた。まさにブレークスルーである。図1のように強磁性体で原子数個分の絶縁体を挟んだ構造になっており、トンネル磁気抵抗効果を利用する。つまり、二つの強磁性体の磁石の向きが同じ場合には、トンネル効果で強磁性体間に電流が流れ、向きが異なる場合には電流が流れない。上側強磁性体の磁石の方向を変えることで「情報の書き込みと消去」を行う。それには電流を流して発生させた磁界を外部から与えることが考えられるが、電力の消費量が問題となる。その対策として考えられるブレークスルーが、スピンの利用である。そもそも磁化は電子のスピンに起因するので、外部からスピンの情報つまりスピン流を直接流し込むことで「情報の書き込み」を行うのである。一般にSTT-RAM (Spin Transfer Torque-RAM)と呼ばれて

いる。これを可能にするには、ナノスケールレベルでの強磁性体材料の設計技術が必須であり、10年以上情報を保持できる技術などと併せて研究・開発が進められているが、2017年のISSCCでは東芝からギガビット級のSTT-RAMが報告された。大手半導体メーカーのみならず米国ベンチャーであるSpin Transfer Technologies社、Avalanche Technology社などが、製品の市場投入を狙っている。またTSMCなど大手ファウンドリーもMRAM技術を近々に実用化するという計画を発表している。MRAM市場は2025年までに、48億米ドル規模になるとの見方もある。

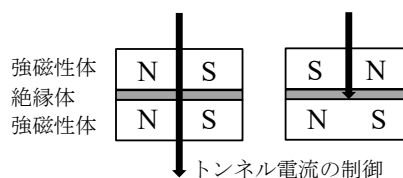


図1 MRAMの動作原理

#### (2)PRAM

DVD(Digital Video Disc)などで使われている金属ガラス膜は結晶構造を持たないアモルファスと呼ばれている。「この膜にパルス状の電流を流すことで加熱し、相転移を誘発させて結晶構造にし、もともと高抵抗であった状態から低抵抗に変化させる」という発想である。技術的なブレークスルーと言える。図2のように相転移の状態を変えることで「情報の書き込み」を行う。IntelとMicronは、ワード線とビット線が交差する微小領域にメモリセルを挟み、これを2層構造にすることで高集積化を図った3D Xpoint™を発表している。2018年量産を目指すという。

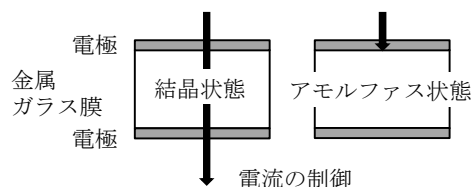


図2 PRAMの動作原理

#### (3)ReRAM

酸化物絶縁体に高電圧をかけると絶縁体中の酸素欠乏領域を介し電流が流れる。その時発生するジュール熱により酸素欠乏領域が増加し絶縁体の電気伝導率が上昇し絶縁体中に酸素欠乏領域が電極間につながり、conductive

bridge が形成される。この状態が図 3 の左側である。さらに高電圧をかけると、ジュール熱により、bridge が破壊される。このようなメカニズムで絶縁体の抵抗値を制御し、conductive bridge の有無を「情報の書き込みと消去」に対応させることは今までに無い発想である。

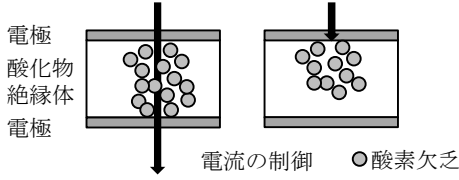


図 3 RRAMの動作原理

表 1 に示すように、スピードと容量の観点から次世代不揮発性メモリの活躍の場は、主記憶あるいはストレージクラスの領域と見られている。しかし DRAM も負けてはいない。例えばベアチップを積層し TSV (Through Silicon Via) で信号を交換する HBM(High Bandwidth Memory)技術を使うことにより、毎秒 900 Gbyte の高バンド幅を実現するに至っている。しかし問題はやはり消費電力だ。STT-RAM が DRAM 市場を脅かすと見られているが、その鍵は DRAM に比べて大幅な低消費電力化が実現できるか否かであろう。

表 1 各メモリ階層における要求仕様と次世代メモリ

メモリ階層	書き換え時間(秒)	容量(バイト)	現在の主流メモリ	期待される次世代メモリ
レジスタ	10 <sup>-10</sup>	10 <sup>3</sup>	F/F	F/F
キャッシュ	10 <sup>-9</sup>	10 <sup>6</sup>	SRAM	SRAM
主記憶	10 <sup>-8</sup>	10 <sup>9</sup>	DRAM	STT-RAM, PRAM, ReRAM
ストレージ・クラス	10 <sup>-6</sup>	10 <sup>9</sup>	-	-
ストレージ	10 <sup>-4</sup>	10 <sup>12</sup>	3D-NAND	3D-NAND

### 次世代論理素子におけるブレークスルー

基本的なMOS構造のままで微細化が進むと短チャネル効果が顕著になり、ゲートによるソース・ドレイン間の電流オン・オフ制御が困難になることは1990年ごろから指摘されていた。日立製作所の久本氏はゲート構造を立体化することにより、短チャネル効果を抑制する方式を提案した。いわゆるフィン(ひれ)構造の提案である。しかし現在ゲート長が10nm オーダになっているため、もはやこのフィン構造を発展させたダブル/サラウンドゲートでも対応しきれなくなっている。消費電力の抑制と併せて新たな論理素子技術が必要とされる。代表的な2種類の次世代論理素子を説明する。

#### (1) グラフェン論理素子

グラフェンは、原子層が重なってできるグラファイトの1層分のことであり、炭素原子がシート状に並んでいる。原子層レベルの薄さであることから短チャネル効果抑制

が可能であり、シリコン中とグラフェン中の電子の移動度を比較すると 100 倍以上が実現できるという利点がある。グラフェンはバンドギャップがないことから導体の振る舞いをするが、2 層のグラファイトに垂直電界を印加するとバンドギャップが現れる。つまり、図 4 のように垂直電界の有無でグラファイトが導体になるかと絶縁体になるかを切り替え、高速論理素子が実現できるのである。2017 年の IEDM で、米国テキサス大学は市販の紙を基板とし、その上にグラファイトと二硫化モリブデンを用いてトランジスタ回路を実現したことを報告している。

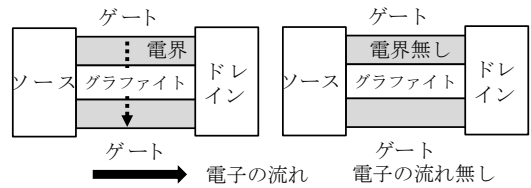


図 4 グラファイト論理素子の動作原理

#### (2) 単一電子論理素子

電子一個のみ入る直径数nmの量子ドット中にトンネル効果によって新たな電子が入り込めるか否かはゲート電圧が整数値か半整数値かで決まる。図5のようにゲート電圧が半整数値の場合、ソース側から新たな電子が一個入り、ドレイン側に一個の電子を排出して電流の流れが生じる。単一電子の取り扱いのため、消費電力の劇的な削減が図れるし、単一電子操作なので短チャネル効果などは存在しない。しかし「常温での安定した量子ドット実現」、「配線間トンネル効果の抑制」、「極小電荷での配線及び後段ゲートへの高速信号伝達」、など実用化には多くの課題がある。

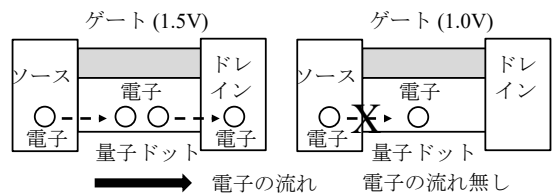


図 5 単一電子論理素子の動作原理

### まとめ

次世代不揮発性メモリと、いわゆる beyond CMOS としての次世代論理素子を取り上げ、技術的ブレークスルーを論じた。次号では、プロセッサアーキテクチャに関するブレークスルーを論説する予定である。

ご意見を論説委員会 [ronsetu@ssis.or.jp](mailto:ronsetu@ssis.or.jp) までお寄せください  
 論説委員: 渡壁弥一郎(委員長) 鈴木五郎(副委員長)  
 井入正博 川端章夫 長尾繁雄 伏木 薫  
 市山壽雄(アドバイザー)