

SSIS・半導体アドバンスト講座

テキスト サンプル

2013年10月

- 半導体産業の歴史と展望 講師：牧本次生
- 半導体物性と各種デバイス、
CMOS前工程プロセス 講師：鈴木俊治
- 半導体パッケージング技術 講師：池永和夫
- 太陽電池 講師：坂田 功
- パワーデバイス 講師：中川明夫

サンプル

半導体産業の歴史と展望

半導体産業人協会 理事長
(元日立専務・元ソニー専務)
牧本 次生
メール: makimoto@tsugio.jp

目次

- 半導体が拓いた新しい世界
- 半導体産業の動向
- 日本半導体の盛衰
- 将来展望

サンプル

半導体産業の特徴

- ★社会システムの重要な基盤産業
 - ITの中核部品としてハイテク産業の原動力
 - 高度な電子機器の実現により、健康・医療など新産業を創出
 - 電子マネー・指紋検出などで金融分野の安全性を確保
- ★好不況のアップダウンはあるが、25-30兆円と規模が大きく
長期的には高い成長率
- ★技術革新の速度が速く、性能は2年で2倍
「不可能を可能にする」
- ★他産業への波及が大きい
 - LCDや有機ELなどのディスプレイ分野
 - 自動車の「ガソリンから電気へのシフト」を推進
 - バイオ技術と結んで医療・食品分野へ波及

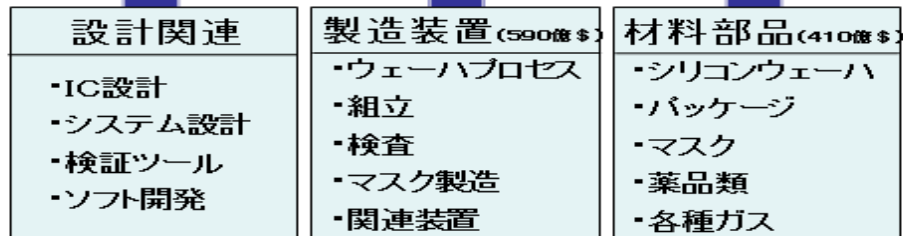
サンプル

多岐にわたる半導体関連産業

電子産業 (1兆8000億\$)

サンプル

半導体デバイス (3000億\$)

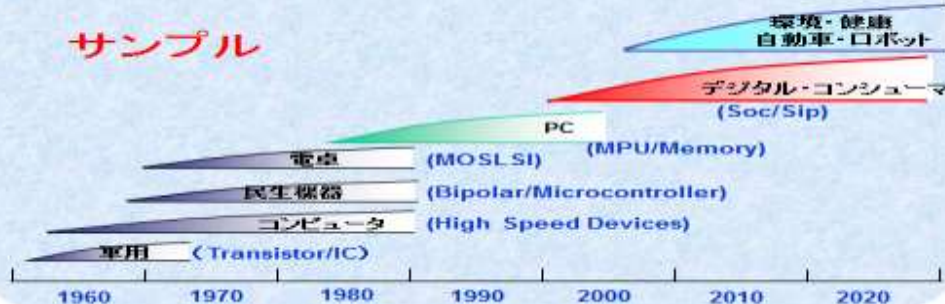


出典: ICガイドブック2009年度版

5

半導体が拓く新分野

サンプル



6

かけがえのない産業「半導体」



(2006年出版)

サンプル

- 半導体は1%産業にあらず!
IT、電子機器、自動車、放送、医療などGDPの4割の分野を支える戦略基盤
- 半導体は産業の原油(米、欧)
半導体は産業の米(日)
1個のLSIでも自動車のラインを止める!
- 大震災後ユーザーの日本離れ、メーカーの海外シフトの動き
半導体を失って日本の将来は悲しい!
- 一国の盛衰は半導体にあります!
●米国・韓国・台湾では半導体は大統領・首相の関心事
●現状では「技術立国」「貿易立国」の基盤が失われる!

7

半導体物性・各種デバイス、CMOS前工程プロセス

(社)半導体産業人協会
サイエンティフィックプロセスソリューション代表
千葉大学講師
元ソニー 中研・厚木超LSI研 課長
工博 鈴木俊治
e-mail:toshiharusuzuki11@gmail.com

サンプル

目次

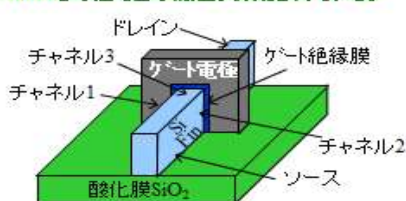
- I. 半導体と半導体デバイス
 - 1. 半導体の性質 2. 半導体デバイス 3. MOSトランジスタの進化
 - 4. Si基板の大口径化
- II. CMOS作製プロセス
プレーナー技術とCMOS作製のプロセスフロー
- III. MOS LSI作製要素プロセス
 - 1. リングラフィー 2. 不純物導入 3. エッチング 4. 成膜
 - 5. 平坦化: CMP 6. ウェハー清浄化
- IV. 多層配線&組み合せプロセス
 - 1. 多層配線 2. 組み合せプロセス
- V. まとめ

サンプル

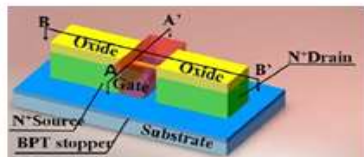
デバイスの3次元化(≤22nm)

- デバイスを微細化してゆくに従い、短チャネル効果が厳しくなる。
- この問題を解決するためにチャネルの横方向、下面にもゲートを設け、ゲートによる閉まりを良くする構造が検討されている。

- マルチゲートTr
 - Si Finの両側面、および上面をチャネルにする (FinFET)。
 - Intelその他でこの構造が採用されている。



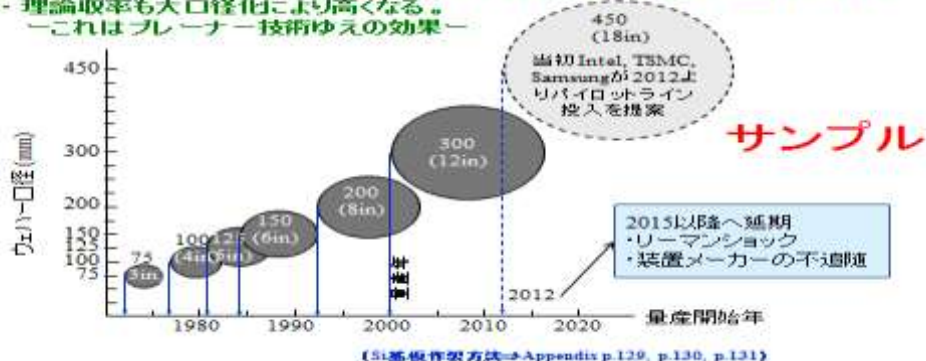
- SiナノワイヤーTr (Gate All Around)



サンプル

- 製法、S/Dの寄生抵抗低減に課題がある。
- 電流駆動力確保にはFinFETの並列化が必要となる

- LSIの高集積化にはチップサイズの増大を伴う場合が多い。
- 一度に多量のチップを生産するには、大口径のウェーハを用いるほうが有利。
- 理論収率も大口径化により高くなる。
- これはプレーナー技術ゆえの効果ー



サンプル

リングラフィー技術の変遷

- 微細化、チップ面積の増大、Waferの大口径化に伴い露光方法も変化してきた。

光源	波長	露光方法	Design Rule (node)
水銀ランプ g-線	436nm	密着・等倍 Wafer全面露光 等倍投影 Stepper 縮小投影 Stepper	≧ 1.0 μm Waferの大口径化対応
水銀ランプ i-線	365nm	↓ ↓	0.35 μm
KrFエキシマレーザー	248nm	↓ ↓	0.25 μm
ArFエキシマレーザー	193nm	縮小反射 Scanner ↓ ↓ (液浸) ↓	広面積対応 0.13 μm
(F2) EUV	(147nm)	↓ ↓ (実用化されず)	
	13.5nm	縮小反射 Scanner	≦ 32 nm

大凡のDesign Rule

- 等倍露光: MaskのDesign Ruleは実寸法。
- 縮小投影: Maskのパターン寸法は実Design Ruleの4 or 5倍(レティクル)。
- Stepper: 1チップ分の描画回数 Step & Repeatを繰り返す。
- Scanner: Maskと基板をScanしながら露光する。反射光学系を用いることが多い。
(Source露光、レンズの収差軽減、Chipの大面積化対応 →Appendix p.136)
- EUV: Extreme Ultra Violet (極紫外光)

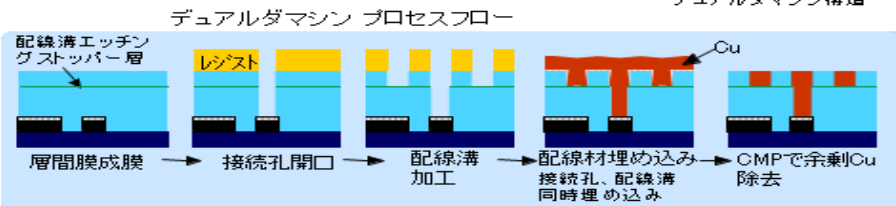
(技術世代とリングラフィー露光→Appendix p.137)

ダマシン (Damascene) 法によるCu配線

- Cuはドライエッチング加工が困難である。このため、層間膜に溝を掘り、その中にCuを埋め込み、余剰部分を研磨する、いわゆる「ダマシン法」により、配線を形成する。
- 層間膜に溝と接続孔の両方を掘り、これらの中に同時にCuを埋め込んだ後、余剰部分を研磨する方法を「デュアル・ダマシン法」という。こちらの方が、工程数が少なくて済む。
- エッチング技術、メッキ技術、CMP技術の複合技術となっている。



デュアルダマシン構造



(これらの他の組み合せプロセス: Ni Salicide→Appendix p.157)

サンプル

半導体パッケージング技術

一般社団法人 半導体産業人協会

現 サクセスインターナショナル社
技術顧問
元 ソニー半導体パッケージ部長
ハイブリッドIC事業部長
半導体関連会社 社長
池永 和夫
E-mail ikenaga @ayu.ne.jp

サンプル

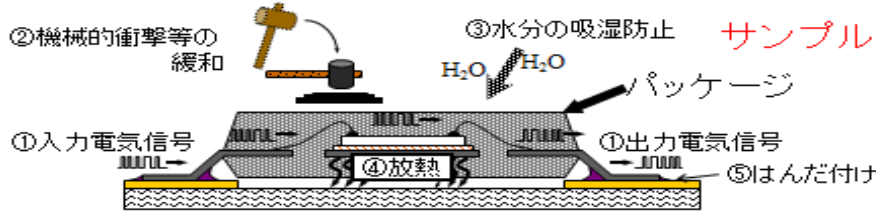
SSIS半導体アソシエーション

目次

1. パッケージに求められる機能・変遷
2. LSI 後工程プロセス(チップ薄化プロセス)
3. パッケージ技術の動向と課題
 - 3-1. フリップチップボンディング
 - 3-2. ウェハレベルパッケージ
 - 3-3. System in Package
 - 3-4. TSV (Through Silicon Via)
 - 3-5. パッケージの電気特性(Appendix)
4. MEMSパッケージの課題

サンプル

パッケージに求められる基本機能



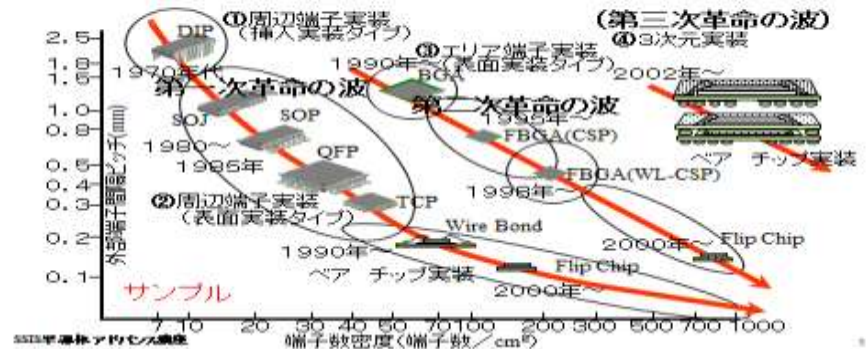
サンプル

- ① 半導体チップと実装基板との電気信号伝達を可能にする。
【電気的特性の保持機能】
- ② 半導体チップをハンドリングできる形にする。
【チップ保護機能】
- ③ 半導体チップを外部環境から保護する。
【チップ保護機能、ストレス緩和機能】
- ④ 半導体チップの発熱を周囲に放散する。
【チップ放熱機能】
- ⑤ 半導体チップを実装基板に実装し易くする。
【寸法整合機能: 端子のピッチ変換】
【規格、汎用機能】
- ⑥ 半導体チップのコストダウン。
【コストダウン機能】
- ⑦ ICチップの性能を最大限に引き出す最適化技術が求められる。
【チップ特性最適化機能】

SSIS半導体アソシエーション

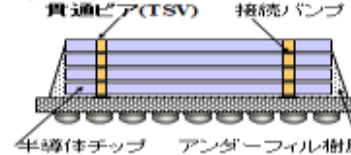
パッケージと高密度実装技術の変遷

高密度実装とパッケージ技術は相関があり、この二つの技術とICの高集積化により電子機器の小型化、高性能化が進んできた。特にパッケージの小型化と端子ピッチの縮小は高度なパッケージ技術と実装技術、基板技術が求められている。

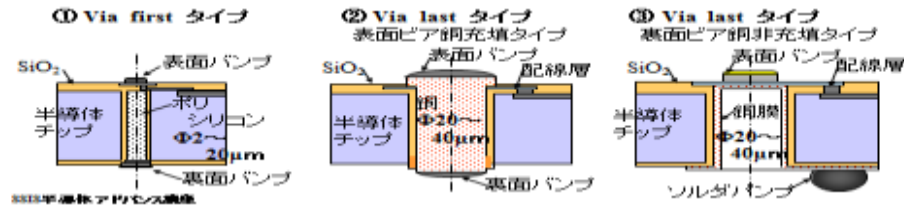


3次元実装の本命TSV技術

サンプル



最近では超高密度実装、高速信号伝達を実現させる方法として、半導体デバイス間の伝導パスを最短経路とするために、半導体チップ同士、半導体チップとウェハ、ウェハ同士を三次元積層することが行われる。そのために、半導体チップ内またはシリコンインタポーザの上面と下面を導通させる微小な導通貫通穴である TSV (Through Silicon Via) を形成することが試みられている。この TSV の製法、接続のプロセス、材料には各種の方法が開発されつつある。



MEMS用パッケージ

MEMS (Micro Electro Mechanical Systems)とは

サンプル

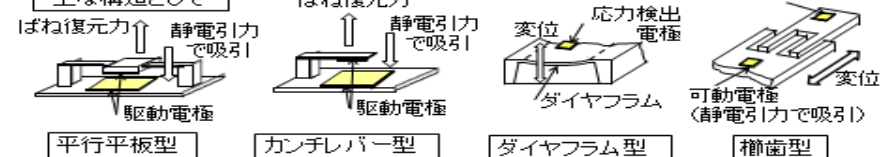
微小電気機械システム(マイクロマシン)と呼称され、半導体LSI製造プロセスやその他の超微細加工プロセスを利用して作成する。機械的な機能と電気的な機能を併せ持つ極めて小型の装置のことである。

【主な用途】

携帯電話、ゲーム機	加速度センサー、角速度センサー、Siマイク
自動車用途	加速度センサー、角速度センサー、圧力センサー 等
その他用途	インクジェットヘッド、カテーテル、バイオチップ 半導体用プローブ等

例:ピエゾ型圧力センサー

・主な構造として



* 検出力は熱、応力、静電引力、電磁力などで出力は主に電気信号である。

SSIS半導体アソシエーション

サンプル

太陽電池

- 結晶シリコン太陽電池を中心に -

産業技術総合研究所
太陽光発電工学研究センター 実用化加速チーム長

工学博士 坂田 功

i.sakata@aist.go.jp

講演概要

サンプル

1. エネルギー問題と地球温暖化: 再生可能エネルギーの必要性
2. 太陽電池の動作原理
3. 太陽電池の種類
4. 結晶シリコン太陽電池の作成プロセス、構造、高効率化
5. 太陽電池・太陽光発電の歴史、現状、課題、将来
6. まとめと参考書

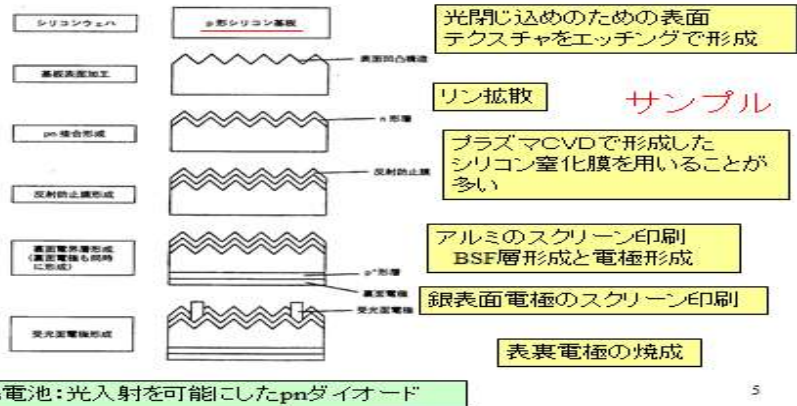
各種太陽電池の変換効率(%) 2013年2月時点

種類	研究レベル(セル)	実用レベル(モジュール)
単結晶シリコン	25.0	21.9
多結晶シリコン	20.4	18.5
HIT ヘテロ接合	24.7	18.7
薄膜シリコン[1]	13.4	10.5
CIGS	20.3	15.7
III-V族化合物[2]	44.0	-

[1] タンデム型(2接合)セル・モジュールでの値

[2] GaInP-GaAs-GaInNAsセルで942倍集光下での値

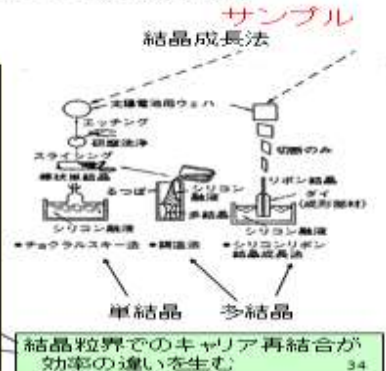
結晶シリコン太陽電池の製造工程 セル工程の1例



単結晶シリコン太陽電池と多結晶シリコン太陽電池

動作原理、構造、製造工程はほとんど同じ

違い:	高品質	低価格
	単結晶	多結晶
成長方法	引き上げ	铸造あるいはリボン
結晶粒界	なし	あり
均質性	良好	問題あり (同一基板内でも)
セル効率	25.0%	20.4%
モジュール効率	21.9%	18.5%



太陽電池・太陽光発電の課題と将来

結局、発電するだけ(？)
付加価値をつけにくい: 発電コストの勝負になる
高価格でも購入するか? : 環境意識の高い消費者に限られる

一層の普及 → 発電コストの低減

3つのアプローチ ← 多様な太陽電池の開発の必要性

1. 同じ性能の太陽電池・太陽光発電システムを低価格で製造
2. 太陽電池・太陽光発電システムの高性能化(高効率化)
3. 長寿命化: 使用期間を伸ばす → 総発電量の増大

価格低減: 大型家電に近づけるか? (製造コストを1/2以下に)

エネルギー収支 (energy payback time) の観点からも、2,3が課題

多様な太陽電池: 結晶Si、薄膜Si、化合物薄膜、色素増感、有機薄膜、...
・ 将来は、それぞれの特長を生かした「棲み分け」
・ 「安かろう悪かろう」は生き残っていない ← 太陽電池の研究開発経緯から
・ 環境負荷、リサイクルの観点 ← クリーンエネルギーの観点

サンプル

パワーデバイス

一般社団法人 半導体産業人協会

現職 中川コンサルティング事務所 コンサルタント
元職 東芝セミコンダクター社 首席技監
氏名 中川明夫

e-mail: akio.nakagawa@nifty.com

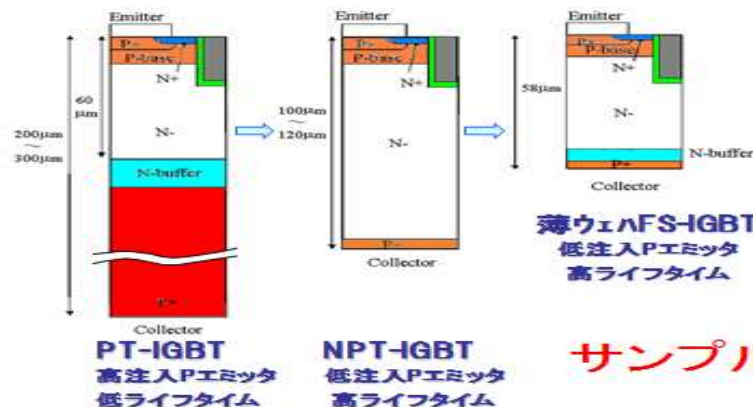
IGBTの発明実用化で、IEEE、大河内等表彰

目次

1. 序
2. 電気に依存する社会
3. パワーエレクトロニクス
4. パワーデバイスの市場
5. IGBTとその発展の経緯
6. IGBTのシリコン限界に向けた今後の展開
7. パワーMOSFETの発展の経緯と今後の可能性
8. 新材料デバイス
9. 製造プロセス
10. まとめ

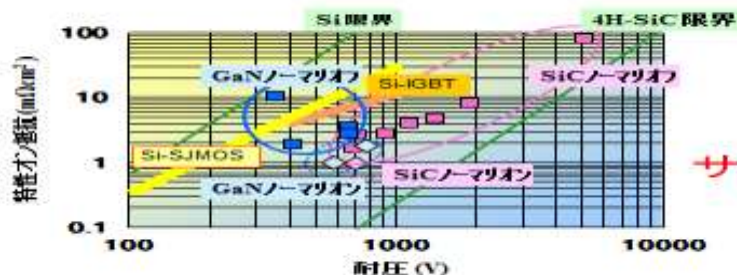
サンプル

代表的IGBT構造



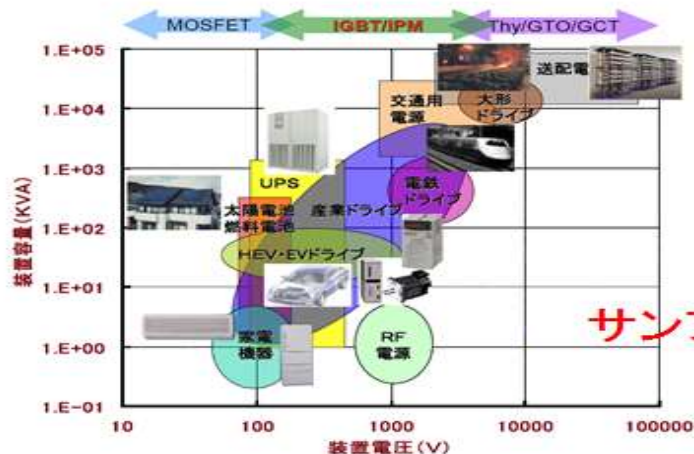
サンプル

SiC, GaNスイッチング素子のベンチマーク



サンプル

パワーデバイス応用分野(電流・電圧定格)



サンプル

まとめ

サンプル

1. パワーデバイスは、IGBTを筆頭として、省エネ化の流れに乗り、市場を拡大している。
2. IGBTはハイブリッド車、太陽電池、新幹線等の大電力インバータ回路用の主スイッチデバイス。パワーMOSFETは電源やモータの主スイッチデバイスである。(IGBTより小電流の用途)
3. IGBTとパワーMOSFETの概要を紹介した。
4. パワーデバイスに特徴的な製造プロセスを示した。
5. SiCやGaNはパワーデバイスとしての優れた材料であり、高耐圧パワーデバイスの性能を格段に向上できる。