

**SSIS半導体アドバンスト講座**  
**テキストサンプル**  
**2015年11月**

・**パワーデバイス**

**講師**            **中川 明夫**

・**半導体物性と各種デバイス、  
CMOS前工程プロセス**

**講師**            **鈴木 俊治**

・**半導体パッケージング技術**

**講師**            **池永 和夫**

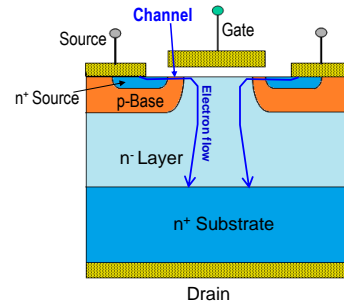


# パワーデバイス

中川コンサルティング事務所  
元 東芝セミコンダクター社 首席技監  
中川 明夫

サンプル

## Double Diffusion MOSFET (DMOSFET)



サンプル

## 目次

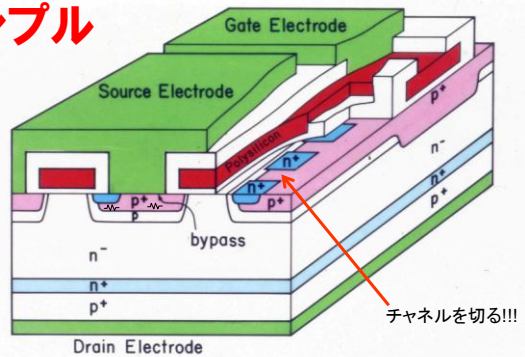
1. 序
2. 電気に依存する社会
3. パワーエレクトロニクス
4. パワーデバイスの市場
5. パワーMOSFET発展の経緯
6. IGBTとその発展の経緯
7. IGBTのシリコン限界に向けた今後の展開
8. パワーMOSFETの電源への応用と今後の可能性
9. スーパー Junction MOSFET
10. 新材料デバイス
11. 製造プロセス
12. まとめ

サンプル

## Non-Latch-Up IGBT構造

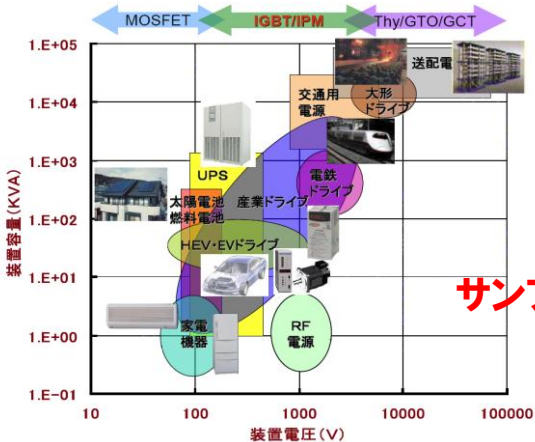
Hole Bypass : チャンネルを切って低抵抗の正孔バイパスを形成

サンプル



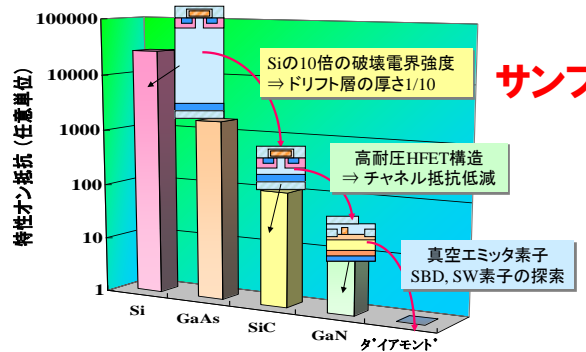
チャンネルを切る!!!

## パワーデバイス応用分野(電流・電圧定格)



サンプル

## ワイドバンドギャップ半導体による低損失化



サンプル

材料	ダイヤモンド	GaN on Si	4H-SiC	GaAs	Si
バンドギャップ (eV)	5.47	3.39	3.26	1.43	1.12
BM (対 Si)	27128	653	340	16	1

# 半導体物性・各種デバイス、CMOS前工程プロセス

## サンプル

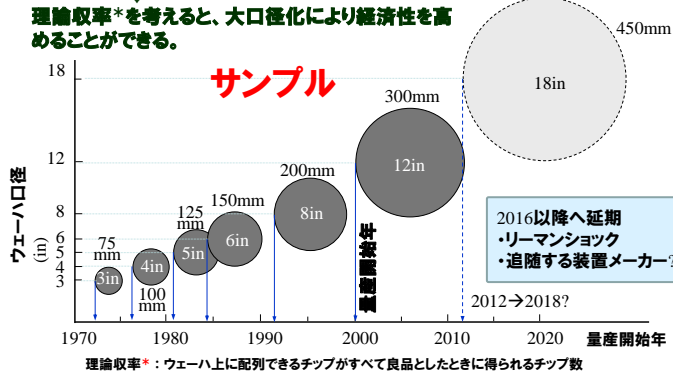
半導体産業人協会 教育委員

サクセスインターナショナル(株)技術顧問  
元 千葉大学講師、ソニー(株)中研・厚木超 LSI  
研 課長(株)SEN主席技師

工学博士 鈴木 俊治

## Si基板の大口径化

- 一般的に、LSIの高集積化にはチップサイズの増大を伴う
- 一度に多量のチップを生産するには、大面積のウェーハを用いるほうが有利

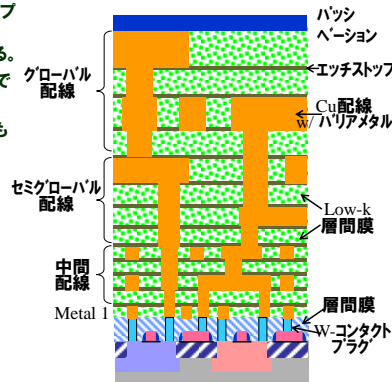


SSIS 半導体アドバンスト講座

## ロジックLSIの構造 (多層配線)

- ロジックLSIではトランジスタの層より、配線層が格段に厚い
- 多層配線層は層間膜堆積、エッチストップ層、バリア膜堆積、Cuメッキ埋め込み、CMP、Cu表面処理を繰り返して形成する。
- Cu/Low-K膜構造はデュアルダマシン法で形成されることが多い。
- 最先端ロジックでは配線層数が13層にも達することがある。

## サンプル



LSIの配線数	
Logic	≥ 10
SRAM	3
DRAM	3
CMOS Image Sensor	3~4

SSIS 半導体アドバンスト講座

## 目次

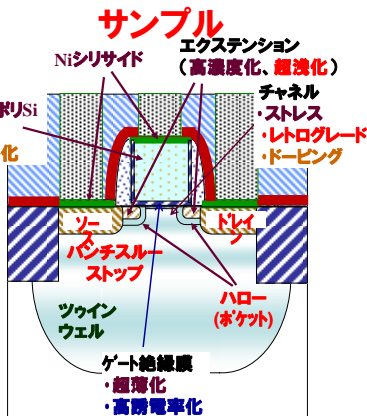
## サンプル

- 半導体と半導体デバイス
  - 半導体の性質
  - 半導体デバイス
  - MOSトランジスタの進化
  - Si基板の大口径化
- CMOS作製プロセス  
プレーナ技術とCMOS作製のプロセスフロー
- MOS LSI作製要素プロセス
  - リソグラフィ
  - 不純物導入
  - エッチング
  - 成膜
  - 平坦化: CMP
  - ウェーハ清浄化
- 多層配線&組み合わせプロセス
  - 多層配線
  - 組み合わせプロセス
- まとめ

## MOS Trの進化 微細化=高集積化 & 高性能化

・微細化に伴い、短チャネル効果以外にも様々な課題が現れる。それらの解決のために次第に構造が複雑になった。

- 高性能化**  
: 高濃度ポリSi ゲート(→金属ゲート)、高濃度エクステンション、Niシリサイド、チャンネルストレス → 金属、デュアル化
- 低消費電力化**  
: 高誘電率ゲート絶縁膜
- 短チャネル効果抑制**  
: 浅S/D & 側溝エクステンション、パンチスルーストップ、ハロー、レトログレードチャンネル
- 高集積化**  
: LDD(→エクステンション)、ツインウェル
- p, nTrの最適化**  
: チャンネルドープ、ツインウェル、デュアルゲート



SSIS 半導体アドバンスト講座

## リソグラフィ技術の変遷 サンプル

・微細化、チップ面積の増大、ウェーハの大口径化に伴い露光方法も変化してきた。

光源	波長	露光方法	デザインルール(node)
水銀ランプ g-線	436nm	密着-等倍 ウェーハ全面露光	≥ 1.0 μm
水銀ランプ i-線	365nm	縮小投影 ステップバ(Stepper)	ウェーハの大口径化対応
KrFエキシマレーザ	248nm	↓	0.35 μm
ArFエキシマレーザ	193nm	↓	0.25 μm
		縮小投影 縮小反射	↓
		↓	液浸
		↓	65nm
EUV*	13.5nm	縮小反射 スキャナ	≤ 28 nm

大凡のDesign Rule

- 等倍露光: マスクのデザインルールは実寸法。
- 縮小投影: マスクのパターン寸法は実デザインルールの4倍(レティクル)。
- Stepper: 数チップ分の描画毎にStep & Repeatを繰り返す。
- Scanner: Maskと基板をScanしながら露光する。(レンズの収差軽減、露光面積拡大、高NA化)
- 縮小反射: レンズの代わりにミラーを使う。(超大口径レンズの必要回避、レンズ吸収の回避)

\*EUV\*: Extreme Ultra Violet (極紫外光)

SSIS 半導体アドバンスト講座

# 半導体パッケージング技術

サンプル

半導体産業人協会 会員

サクセスインターナショナル(株)技術顧問

元 ソニー半導体パッケージ部長

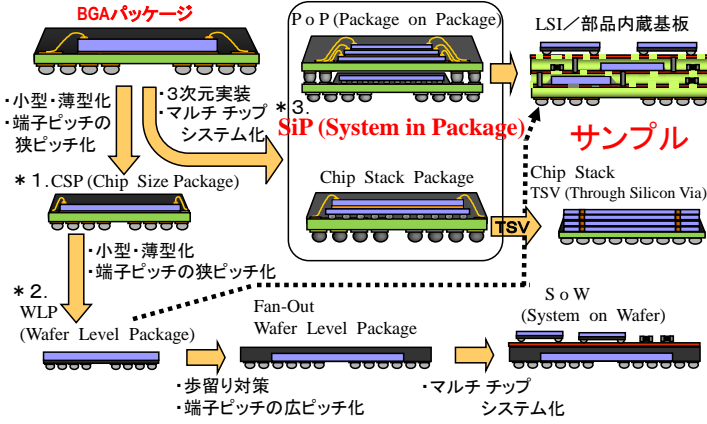
ハイブリッドIC事業部長

半導体関連会社 社長

池永 和夫

## BGAパッケージから各種パッケージへ進展

エリア配列端子タイプであるBGAパッケージの出現は、さらなる小型化のCSP(\*1)、WLP(\*2)へ進展し、また、マルチチップ構成のSiP(\*3)を出現させた。そして、さらに新しいパッケージの開発や三次元実装の開発・実用化へと進展している。



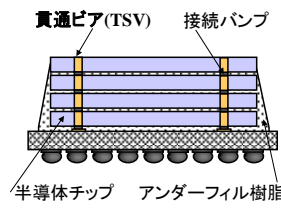
## 目次

サンプル

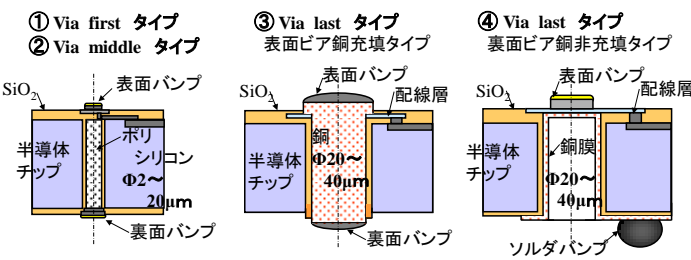
1. パッケージに求められる機能・変遷
2. LSI 後工程プロセス(チップ薄化プロセス)
3. パッケージ技術の動向と課題
  - 3-1. フリップチップボンディング
  - 3-2. ウェーハレベルパッケージング
  - 3-3. System in Package
  - 3-4. TSV (Through Silicon Via)
  - 3-5. パッケージの電気特性(Appendix)
4. MEMSパッケージの課題

## 3次元実装の本命TSV技術

サンプル

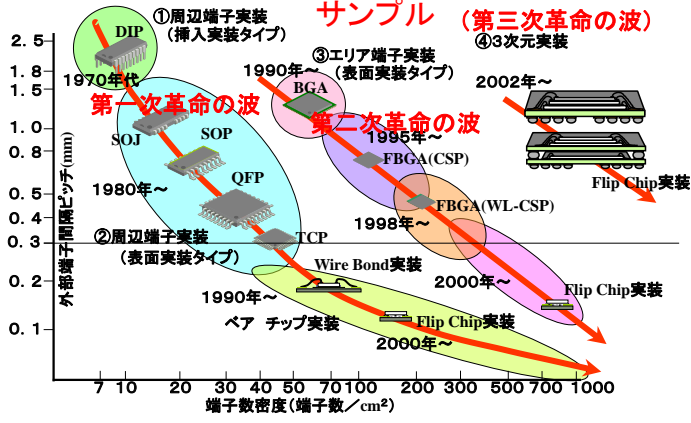


最近では超高密度実装、高速信号伝送を実現させる方法として、半導体デバイス間の伝導パスを最短経路とするために、半導体チップ同志、半導体チップとウェーハ、ウェーハ同志を三次元積層することが行われる。そのために、半導体チップ内またはシリコンインターポーザの上面と下面を導通させる微小な導通貫通穴であるTSV (Through Silicon Via) を形成することが試みられている。このTSVの製法、接続のプロセス、材料は各種の方法が開発されつつある。



## パッケージと高密度実装技術の変遷

高密度実装とパッケージは深い相関があり、この二つの技術とICの高集積化により電子機器の小型化、高性能化が進展してきた。特に端子ピッチの縮小は高密度実装を促進したが、高度なパッケージ技術と実装技術、基板技術が求められる。



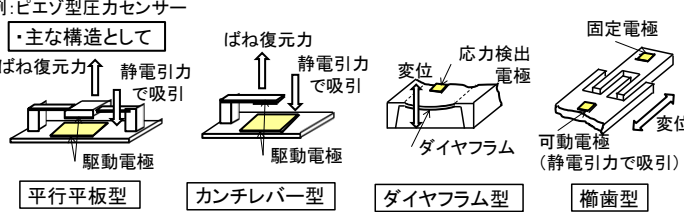
## MEMS用パッケージ

サンプル

MEMS (Micro Electro Mechanical Systems)とは

微小電気機械システム(マイクロマシン)と呼ばれる、半導体LSI製造プロセスやその他の超微細加工プロセスを利用して作成する、機械的な機能と電気的な機能を併せ持つ極めて小型の装置のことである。

【主な用途】	
携帯電話、ゲーム機	加速度センサー、角速度センサー、Siマイク
自動車用途	加速度センサー、角速度センサー、圧力センサー等
その他用途	インクジェットヘッド、カテーテル、バイオチップ、半導体用プローブ等



\* 検出入力は熱、応力、静電引力、電磁力などで出力は主に電気信号である。